

## 磁気抵抗効果素子を用いた演算回路

高並列演算機能と不揮発性記憶機能を一体化できるため、チップ面積を大幅に削減

### 概要

近年、急速な微細加工技術の進展を背景に演算器・メモリなどの高性能化が進む集積回路上において、配線遅延および配線面積の増大に起因する性能劣化が深刻な問題となりつつある。このような配線問題の多くは、演算機能と記憶機能を分離して回路構成を行う従来のアーキテクチャに起因する。

配線問題を根本的に解決する一手法として、演算器とメモリを一体化してシステムを構成するロジックインメモリアーキテクチャが提案されている。

### 効果・応用例

- TMRソースカップルドロジック回路でロジックインメモリ回路を構成すると、高並列演算機能と不揮発性記憶機能をコンパクトに一体化できるため、チップ面積を大幅に削減できるとともに、TMR素子の有する不揮発性記憶機能により、電力供給なしで記憶保持が可能なため、スタンバイ時におけるリーク電流の大幅な削減が期待できる。

### 特許データシート

特許番号(整理番号): 特許第4631090号(20033170)

発明者: 羽生貴弘、木村 啓明

### 性能比較(全加算器)

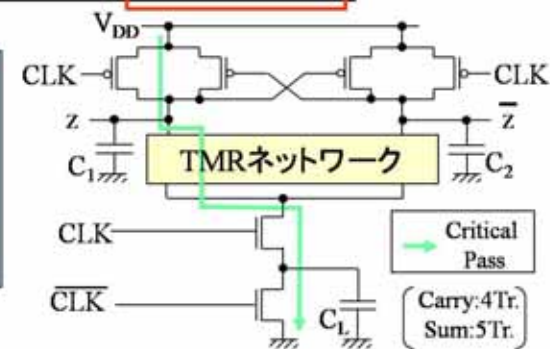
(0.18 $\mu$ m CMOS,  $V_{DD}=1.8V$ )

	CMOS実現	提案回路
動的消費電力	15 $\mu$ W	15 $\mu$ W
トランジスタ数	40	24
遅延時間	317ps	164ps
静的消費電力	55nW	0.084nW

トランジスタ数: 60%

遅延時間: 52%

静的消費電力: 0.15%



### 連絡先

株式会社 東北テクノアーチ

TEL 022-222-3049 FAX 022-222-3419

問い合わせは[こちら](#)からお願いします。